

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-133153  
(43)Date of publication of application : 13.05.1994

(51)Int.CI. H04N 1/393  
G06F 15/64  
G09G 5/36

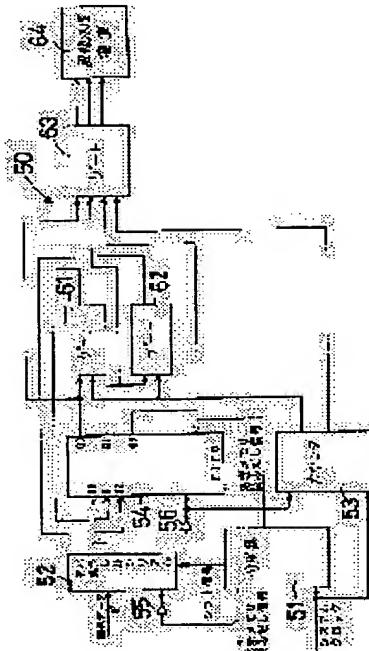
(21)Application number : 04-278870 (71)Applicant : SHARP CORP  
(22)Date of filing : 16.10.1992 (72)Inventor : IWASE KATSUHIKO

## (54) PICTURE PROCESSOR

### (57)Abstract:

**PURPOSE:** To implement reduction display processing for each picture element block of picture data by using one processing memory.

**CONSTITUTION:** Picture data converted into serial data by a parallel serial conversion circuit 52 in each line in the main scanning direction are stored in a FIFO 54 being a processing memory. A counter 53 sets gates 61, 62 so as to give outputs from output terminals Q0, Q1 of the FIFO 54 to inputs D1, D2 when a picture element number in the main scanning direction reaches a preset main scanning picture element number. When the count of the picture element number in the subscanning direction reaches a setting value of the main scanning picture element number, a 3rd gate 63 is set and 3-bit data from the FIFO 54 are given to a picture processing arithmetic operation circuit 64, in which the arithmetic operation processing for reduction display is implemented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-133153

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. <sup>5</sup> H 04 N 1/393 G 06 F 15/64 G 09 G 5/36	識別記号 4226-5C 450 F 9073-5L 8121-5G	府内整理番号 F I	技術表示箇所
---	---	---------------	--------

審査請求 未請求 請求項の数1(全8頁)

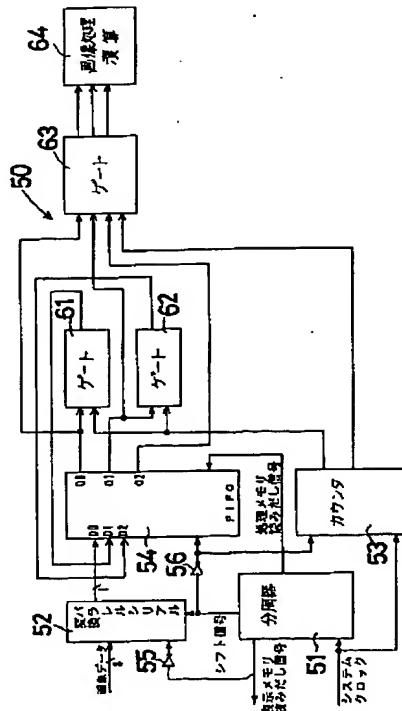
(21)出願番号 特願平4-278870	(71)出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日 平成4年(1992)10月16日	(72)発明者 岩瀬 勝彦 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
	(74)代理人 弁理士 西教 圭一郎

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 1つの処理用メモリを用いて画像データの画素ブロック毎の縮小表示処理を行う。

【構成】 処理用メモリである FIFO 54には、パラレルシリアル変換回路 52によって直列データに変換された画像データが主走査方向のライン毎に記憶される。カウンタ 53は、主走査方向の画素数が予め設定される主走査画素数に達する毎に FIFO 54の出力 Q0, Q1からの出力を、入力 D1, D2に与えるようにゲート 61, 62を開く。副走査方向の画素数の計数値が設定値に達し、主走査画素数の設定値に達すると、第3番目のゲート 63が開かれ、FIFO 54から3ビットのデータが画像処理演算回路 64に与えられ、縮小表示のための演算処理が行われる。



### 【特許請求の範囲】

【請求項1】 画像メモリに蓄えられた画像データを予め定める画素ブロック毎に演算処理して縮小表示するための画像処理装置において、  
画像メモリから予め定める主走査方向に画像データを読み出すためのアドレス信号を発生するアドレス発生手段と、  
画像メモリから読み出された画像データを画素単位の直列データに変換する変換手段と、  
変換手段によって変換された直列データの画素数を計数し、主走査方向の計数値が予め定める主画素数に到達する毎に副走査方向の計数を行い、前記画素ブロックの副走査方向の画素数を計数する計数手段と、  
前記画素ブロックの副走査方向の画素数として想定される最大数の並列入力端子を有し、主走査方向の画素数として想定される最大数の画素データを直列に記憶可能な処理メモリと、  
計数手段からの出力に応答し、変換手段からの主走査方向の直列データを、副走査方向に異なる主走査線上のデータは異なる入力端子に与えて処理メモリに記憶させるゲート手段と、  
処理メモリに記憶された主走査方向の直列データを前記画素ブロック毎に読み出して予め定める演算処理を行う演算手段とを含むことを特徴とする画像処理装置。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は、ファクシミリなどの画像通信装置が受信した画像データを縮小表示するための画像処理装置に関する。

#### 【0002】

【従来の技術】従来から、ファクシミリ装置などの画像通信装置では、相手端末から送られる画像データは、モディファイドハフマン（略称「MH」）符号等の圧縮された符号化データとして伝送される。自端末では、符号化されたデータを受信し復符号化して画像データを再現し、表示装置などに映し出している。表示装置の表示可能な画素数が少ないときは、復号化された画像データを全部映し出すことはできない。たとえばA4判の原稿1枚のデータは、主走査方向に1728の画素を有するので、液晶表示装置（略称「LCD」）や陰極線管（略称「CRT」）などでそのまま表示すると、これらの表示装置の表示可能な画素数が少ないので画像データの一部分のみしか映し出すことができない。

【0003】そこで原稿全体を映し出すために、復号化されたデータを単純に間引いたり、あるいはデータにある処理を施して表示すべきデータの量を減らして映し出している。データを単純に間引く方法は、処理は簡単であるけれども、重要なデータが失われやすい。画質のよい縮小表示画面を得るために、復号化された画像データを複数のブロックに区分し、区分されたブロック内の

画素について縮小表示のための演算処理を行う。

【0004】図4は、従来からの画像データの縮小表示処理のための構成を示す。復号化された画像データは、主走査方向に配列される画素1～8が1つのラインを構成し、表示用メモリ10内で、たとえば1000番地から1FFF番地へと増加するようなアドレスに配置されている。なおこの番地は4桁の16進数で表し、各桁は0～Fの値をとるものとする。1FFF番地の次のラインに移るために、副走査方向の画素が1つ増加し、表示用メモリ10内のアドレス2000番地～2FFF番地に画素11～18を含む2番目のラインのデータが蓄えられる。一般に表示用メモリ10は、1つのアドレスに1バイトすなわち8ビットのデータが蓄えられる。換言すれば、1つのアドレスには8つの画素1～8、11～18に対応するデータがそれぞれ蓄えられる。

【0005】縮小表示のための演算処理は、たとえば主走査方向に3画素、副走査方向に3画素の画像ブロックを単位として行われる。演算処理を高速度で行うため、表示用メモリ10に蓄えられている画像データは一旦処理用メモリ20に転送される。処理用メモリ20は、主走査方向の各ライン毎に設けられるラインメモリ21、22、23、24などを含む。各ラインメモリ21～24は、いわゆる先入れ先出しメモリ（以下「FIFO」と略称する）から構成される。第1ライン用のラインメモリ21には、画素1～8の画像データが1ビットずつ転送されて記憶される。第2ライン用のラインメモリ22には、画素11～18に対応するデータが記憶される。第3ライン用のラインメモリ23にも同様に画像データが記憶され、ラインメモリ21～23を用いて3×3の画素ブロック25に対する演算処理が可能となる。なお第4ライン用のラインメモリ24は必ずしも必要ではなく、1～3ライン用の処理が終了した後で、4～7ライン用の画像データを転送して処理を続けることができる。すなわち処理用メモリ22は、処理をするために必要となる最低のライン数分だけのラインメモリ21～23が必要になる。

【0006】図5は、図4図示のような画像処理を可能とする構成を示す。表示用メモリ10からの画像データがラインメモリ21～23に順次転送され、その出力が画像データ処理回路29によって図4図示の画像ブロック25毎に処理される。

#### 【0007】

【発明が解決しようとする課題】従来からの画像処理においては、処理を必要とするラインの数だけのラインメモリ21～23が必要となり、経費的に大きな負担となる。しかも、ラインメモリ21～23は1ライン分の画像データを記憶する容量よりも大きな記憶容量を有するものである。すなわち図6に示すように、ラインメモリ21～23は、斜線を施して示す部分しかメモリを使用しないので、空きエリアが大きくなる。しかも、画像ブ

ロックの副走査方向の画素数を大きくするために、ラインメモリを増設する必要があり、さらにコストが上昇する。

**【0008】**本発明の目的は、1つの処理用メモリを用いて画素ブロック毎の縮小表示の演算処理を行うことができる画像処理装置を提供することである。

#### 【0009】

【課題を解決するための手段】本発明は、画像メモリに蓄えられた画像データを予め定める画素ブロック毎に演算処理して縮小表示するための画像処理装置において、画像メモリから予め定める主走査方向に画像データを読出すためのアドレス信号を発生するアドレス発生手段と、画像メモリから読出された画像データを画素単位の直列データに変換する変換手段と、変換手段によって変換された直列データの画素数を計数し、主走査方向の計数値が予め定める主画素数に到達する毎に副走査方向の計数を行い、前記画素ブロックの副走査方向の画素数を計数する計数手段と、前記画素ブロックの副走査方向の画素数として想定される最大数の並列入力端子を有し、主走査方向の画素数として想定される最大数の画素データを直列に記憶可能な処理メモリと、計数手段からの出力に応答し、変換手段からの主走査方向の直列データを、副走査方向に異なる主走査線上のデータは異なる入力端子に与えて処理メモリに記憶させるゲート手段と、処理メモリに記憶された主走査方向の直列データを前記画素ブロック毎に読出して予め定める演算処理を行う演算手段とを含むことを特徴とする画像処理装置である。

#### 【0010】

【作用】本発明に従えば、画像データはアドレス発生手段から発生されるアドレス信号に従って主走査方向に読出される。読出された画像データは変換手段によって画素単位の直列データに変換され、処理メモリに記憶される。処理メモリに記憶されるライン毎の画素の数は計数手段によって計数され、主走査方向の計数値が予め定める主画素数に到達する毎に副走査方向の計数が行われる。処理メモリに記憶される直列データはゲート手段によって副走査方向の計数値毎に異なった処理メモリの入力端子に与えられる。演算手段は処理メモリから画素ブロック毎にデータを読出して縮小表示に必要な演算処理を行う。処理メモリは複数の入力端子を有し、ゲート手段によって主走査方向の直列データが副走査方向に関して並列に記憶される。これによって、1つの処理メモリを用いて演算手段に与える直列データを記憶することができ、経費を節減することができる。また、処理メモリは主走査方向の画素数として想定される最大数の直列データを記録可能であり、副走査方向に想定される最大数の画素数の並列入力端子を有するので、計数手段によって計数する主画素数および副走査方向の画素数をそれぞれの最大数の範囲内で任意に設定して、縮小表示用に変換処理すべき画素ブロックを自由に設定することができ

る。

#### 【0011】

【実施例】図1は、本発明の一実施例による画像データ処理回路50の概略的な電気的構成を示す。本実施例は、 $3 \times 3$ の画素ブロックに対して縮小表示のための演算処理を行う。アドレス発生手段である分周器51には、システムクロックが与えられ、アドレス信号である表示メモリ読出信号、シフト信号および処理メモリ読出信号を発生する。変換手段であるパラレルシリアル変換回路52は、8ビットの並列データである画像データを1ビットの直列データに変換し、分周器51からのシフト信号に同期して導出する。計数手段であるカウンタ53は、主走査方向の画素数および副走査方向の画素数を計数する。主走査方向の画素数が予め定める主走査画素数に到達すると、副走査方向の画素数が1だけ増加する。主走査方向の画素に対するデータは、FIFO54に直列データとして記憶される。

**【0012】**FIFO54は、たとえば8ビット×2048で構成される。分周器51から発生される表示メモリ読出信号およびシフト信号は、反転回路55、56を介してパラレルシリアル変換回路52およびFIFO54にそれぞれ与えられる。FIFO54の第1の出力Q0は第1のゲート61の入力に接続される。FIFO54の第2の出力Q1第2のゲート62の入力に接続される。第1および第2のゲート61、62は、カウンタ53からの出力によって制御される。第3のゲート63にはFIFOの3つの出力Q0、Q1、Q2からの出力が接続される。各ゲート61～63は、カウンタ53からの出力によって制御される。ゲート63の出力は演算手段である画像処理演算回路64に与えられる。

**【0013】**図1 図示の画像データ処理回路50の動作を、原画像のデータがA4の大きさである場合を想定して説明する。A4の原稿は、主走査方向に1728ビットの直列データで構成される。カウンタ53には主走査画素数として1728、副走査画素数として3を設定する。副走査画素数が処理に必要なライン数となる。分周器51から発生される表示メモリ読出信号によって、表示用メモリから1バイトずなわち8ビットの画像データがパラレルシリアル変換回路52に読込まれる。パラレルシリアル変換回路52は、入力された並列データを1ビットの直列データに変換し、分周器51からのシフト信号に同期してFIFOの入力端子T0に書込む。カウンタ53は、シフト信号を計数し、予め設定された1728のシフト走査画素数に到達すると、第1のゲート61をあけてFIFOの出力Q0からのデータを読出す。読出されたデータは入力端子T0にパラレルシリアル変換回路52から書込まれるデータに同期して第2の入力端子T1に書込まれる。このとき分周器51からは、次のラインのデータを読出すためのアドレス信号が発生される。同様にカウンタ53が主走査画素数1728と副

走査画素数2を計数したときには、第1および第2のゲート61, 62が開かれ、FIFO54に対するデータの書き込みが継続して行われる。このようにして、FIFO54には、3つのラインに対応する直列データが書き込まれて記憶される。

【0014】カウンタ53は、主走査画素数1728と副走査画素数3との計数を終了したときには、第1および第2のゲート61, 62を閉じて、第3のゲート63のみを開き、FIFO54から3ビットのデータを読み出して画像処理演算回路64に与える。このときには3ライン分のデータが揃っているので、FIFO54からデータを読み出せば容易に3×3の画素ブロックに対する縮小表示のための演算処理が可能となる。またこの読み出しがときに、表示用メモリからのデータの読み出しを行えば、画像処理用に読み出されたデータの後に新たに処理すべきデータを続けて書き込むことができ、FIFO54を有効に使用することができる。

【0015】図2は、図1図示の実施例による画像データの転送状態を示す。複号化された画像データを蓄える表示用メモリ70から、ライン毎に処理用メモリであるFIFO54にデータを転送すると、FIFO54には空き領域が少くなり、メモリを有効に使用することができる。

【0016】図3は図1図示の画像データ処理回路50を使用するファクシミリ装置の概略的な構成を示す。公衆電話回線などの電話通信網81には通信制御回路82が接続される。通信制御回路82は、受信回路83および送信回路84に接続される。受信回路83内には、画像データが蓄えられる表示用メモリ70が含まれる。画像データ処理回路50は、表示用メモリ70にアドレス信号を与えて画像データを読み出し、縮小表示のための演算処理を施して表示装置85によって表示する。表示装置85はたとえばCRTやLCDによって実現される。受信回路83には、表示用メモリ70に与える画像データ復号する復号回路91と、記録紙などに画像データを記録する記録装置92が含まれる。

【0017】本実施例においては、ファクシミリ装置の復号化された画像データは縮小表示するための演算処理を行っているけれども、他に、高精細度のカラーグラフィック画像データを低解像度の表示装置で表示するための画像処理を行うような際に、本発明を適用してもよいことは勿論である。

#### 【0018】

【発明の効果】以上のように本発明によれば、1つの処理用メモリを用いて柔軟な構成の画素ブロックに対する縮小表示用演算処理を行うことができる。このため経費が削減され、また表示器などの仕様が変更になったときにも、計数手段の計数値の変更とゲート手段の構成の変更とによって、容易に適合させることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の概略的な電気的構成を示すブロック図である。

【図2】図1図示の実施例による画像データの転送状態を示す図である。

【図3】図1図示の実施例による画像データ処理回路50を使用したファクシミリ装置の概略的な電気的構成を示すブロック図である。

【図4】従来からの画像データ処理を示す図である。

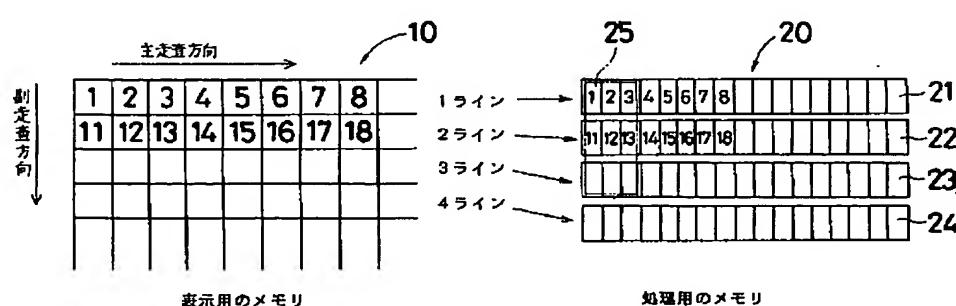
【図5】図4図示の処理を行うための概略的な電気的構成を示すブロック図である。

【図6】図4図示の処理による画像データの転送状態を示す図である。

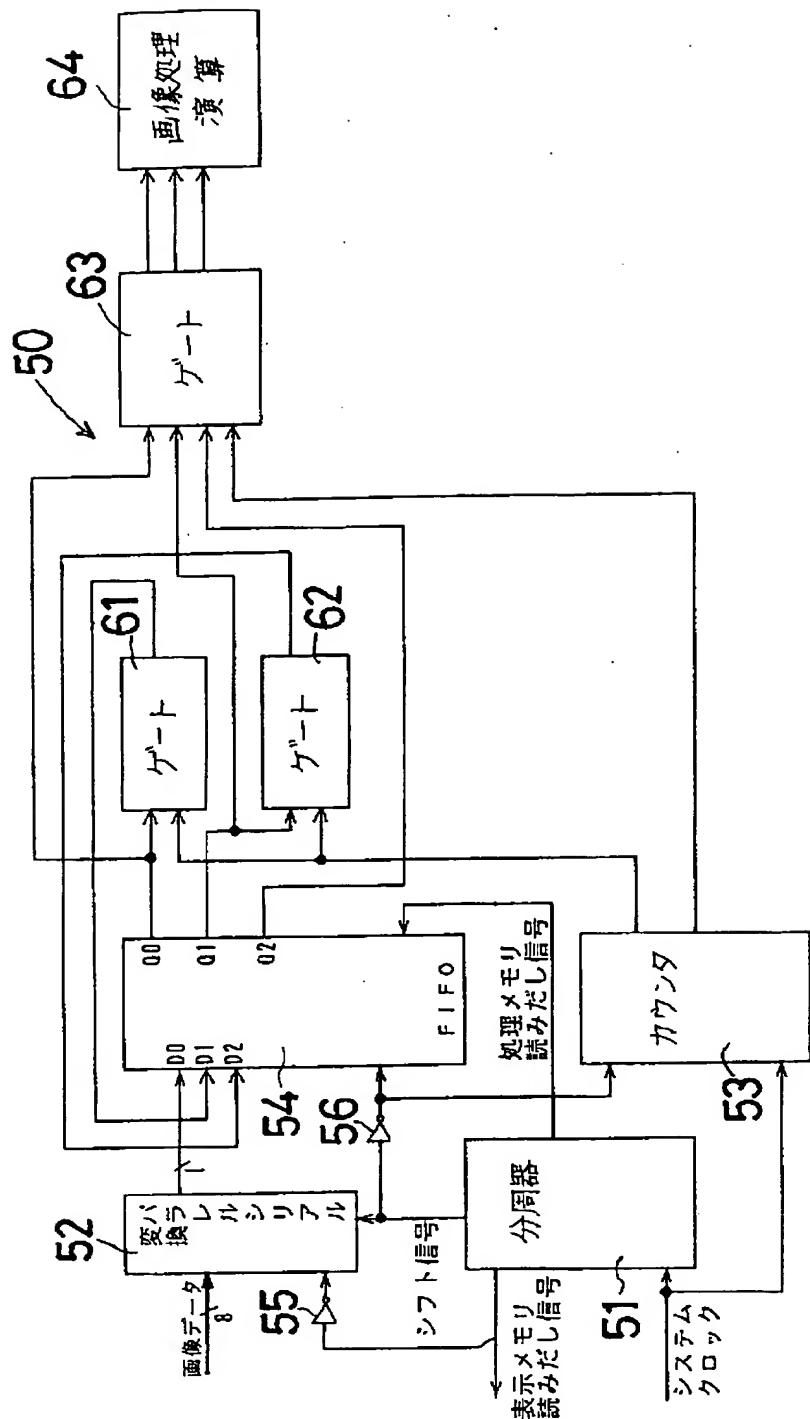
#### 【符号の説明】

- 51 分周器
- 52 パラレルシリアル変換回路
- 53 カウンタ
- 54 FIFO
- 61～63 ゲート
- 64 画像処理演算回路
- 70 表示用メモリ
- 91 復号回路
- 92 記録装置

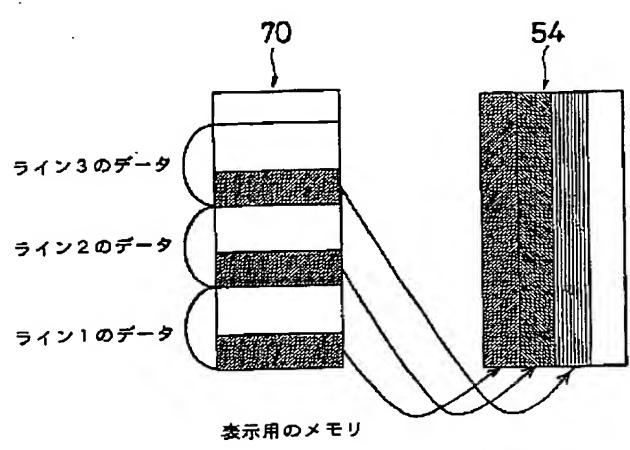
【図4】



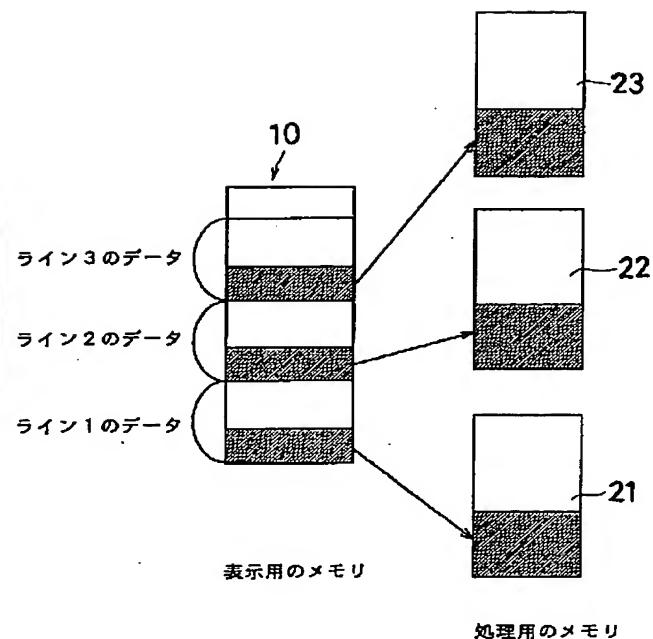
【図1】



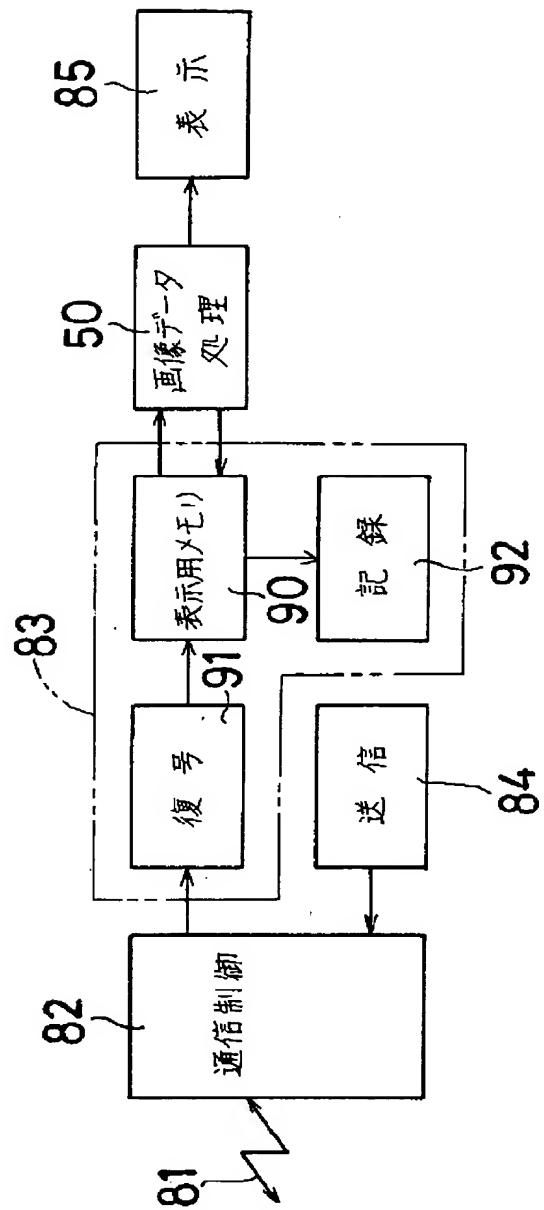
【図2】



【図6】



【图3】



【図5】

